



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **09107253 A**(43) Date of publication of application: **22 . 04 . 97**

(51) Int. Cl.

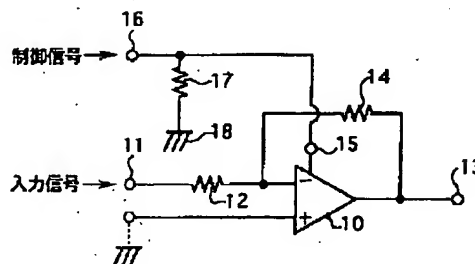
H03G 3/12**H04M 1/60**(21) Application number: **07263779**(22) Date of filing: **12 . 10 . 95**(71) Applicant: **FUJITSU LTD**(72) Inventor: **ABE YUKIAKI
ISHIDA HIDEKI**(54) **AMPLIFICATION CIRCUIT**

COPYRIGHT: (C)1997,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To save the power furthermore by suppressing the power consumption in an operational amplifier in the standby state.

SOLUTION: An operational amplifier 10 which amplifies an input signal, a control means which turns off the output transistor TR of the operational amplifier 10 or a TR driving this output TR at the time of giving one logical state to a specific terminal 15, and a resistance element 17 interposed between a voltage source 18 having a potential corresponding to one logical state and the specific terminal 15 are provided. Since the specific terminal 15 is pulled up or down by the voltage source 18 having the potential corresponding to one logical state, the output TR of the operation amplifier 10 (or the TR driving this output TR) is kept turned off as long as a signal in the other logical state is applied to the specific terminal 15, and not only the current flowing to a speaker is eliminated but also the internal current of the operational amplifier is suppressed.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-107253

(43)公開日 平成9年(1997)4月22日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 G 3/12			H 0 3 G 3/12	A
H 0 4 M 1/60			H 0 4 M 1/60	A

審査請求 未請求 請求項の数2 O L (全 5 頁)

(21)出願番号 特願平7-263779

(22)出願日 平成7年(1995)10月12日

(71)出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72)発明者 阿部 幸哲

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者 石田 秀樹

神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74)代理人 弁理士 有我 軍一郎

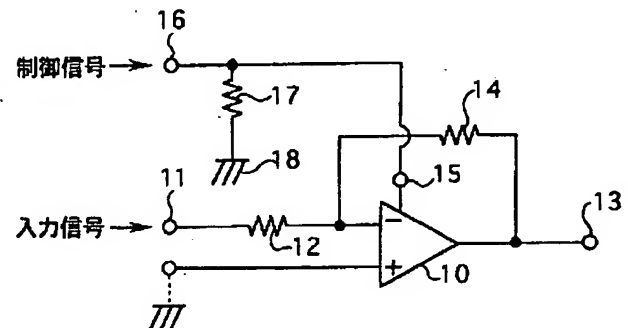
(54)【発明の名称】 増幅回路

(57)【要約】

【課題】 スタンバイ状態におけるオペアンプ内部の電力消費を抑制し、より一層の省電力化を図る。

【解決手段】 入力信号を増幅するオペアンプと、特定の端子に一の論理状態が与えられたときに前記オペアンプの出力トランジスタ又は該出力トランジスタを駆動するトランジスタをオフにする制御手段と、一の論理状態に相当する電位を有する電圧源と前記特定の端子との間に介装された抵抗要素とを備える。特定の端子が一の論理状態に相当する電位を有する電圧源にプルアップ又はプルダウンされるため、当該特定の端子に他の論理状態の信号を加えない限り、オペアンプの出力トランジスタ（又は該出力トランジスタを駆動するトランジスタ）がオフし続け、スピーカに流れる電流をゼロにできることに加えて、オペアンプの内部電流も抑制できる。

第1実施例の構成図



10: オペアンプ
15: PD端子 (特定の端子)
16: 外部端子
17: 抵抗要素 (抵抗要素)
18: グランド (電圧源)

【特許請求の範囲】

【請求項1】 入力信号を増幅するオペアンプと、特定の端子に一の論理状態が与えられたときに前記オペアンプの出力トランジスタ又は該出力トランジスタを駆動するトランジスタをオフにする制御手段と、一の論理状態に相当する電位を有する電圧源と前記特定の端子との間に介装された抵抗要素と、を備えたことを特徴とする増幅回路。

【請求項2】 前記特定の端子と外部端子との間の接続をオンオフするスイッチ要素と、電源投入又はスタンバイ状態の復帰から所定時間経過するまでの間、該スイッチ要素をオフ状態に保持する保持手段と、を備えたことを特徴とする請求項1記載の増幅回路。

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、電話機等の音声拡声部に用いられる増幅回路に関し、特に、コードレス電話機や携帯電話機若しくはハンディトランシーバーなどの小形通信機器に用いて好適な増幅回路に関する。一般に、この種の小形通信機器はバッテリーで動作し、可搬性に優れている利点があるが、反面、容積や重さの大部分をバッテリーが占めてしまうため、あまり大きなバッテリーを搭載できず、できるだけ電力消費の少ないものが求められる。

【0002】

【従来の技術】 小形通信機器の内部で最も電力消費の大きい部分は、スピーカを駆動するための音声拡声部であり、特にその中の増幅回路の電力消費は無視できない。そこで、従来から、無通話状態（スタンバイ状態）のときは、増幅回路とスピーカとの接続を切り離すという、いわゆるミュート状態制御が行われていた。

【0003】 図5はその概念図であり、増幅回路1は入力抵抗2及びフィードバック抵抗3とによって公知の反転増幅器を構成するオペアンプ4を含み、このオペアンプ4の出力とスピーカ5との間にスイッチ要素6を入れ、このスイッチ要素6のオンオフをミュート検出回路7によって制御している。スタンバイ状態では、スピーカ5が切り離されるため、スピーカ5の駆動電流*i*がゼロになり、それだけ電力消費を抑えることができる。

【0004】

【発明が解決しようとする課題】 しかしながら、かかる従来の増幅回路にあっては、スピーカ5の駆動電流*i*をゼロにできるものの、オペアンプ4の内部で消費される電流はそのままであったため、より一層の省電力化を図るという点で解決すべき技術課題があった。

【0005】

【課題を解決するための手段】 本発明は、スタンバイ状態におけるオペアンプ内部の電力消費を抑制し、より一層の省電力化を図るために、入力信号を増幅するオペアンプと、特定の端子に一の論理状態が与えられたときに

前記オペアンプの出力トランジスタ又は該出力トランジスタを駆動するトランジスタをオフにする制御手段と、一の論理状態に相当する電位を有する電圧源と前記特定の端子との間に介装された抵抗要素と、を備えたことを特徴とする。

【0006】 又は、これらの各事項に加えて、前記特定の端子と外部端子との間の接続をオンオフするスイッチ要素と、電源投入又はスタンバイ状態の復帰から所定時間経過するまでの間、該スイッチ要素をオフ状態に保持する保持手段と、を備えたことを特徴とする。本発明では、特定の端子が一の論理状態に相当する電位を有する電圧源にプルアップ又はプルダウンされる。したがって、当該特定の端子に他の論理状態の信号を加えない限り、オペアンプの出力トランジスタ（又は該出力トランジスタを駆動するトランジスタ）がオフし続ける。その結果、スピーカに流れる電流をゼロにできることに加えて、オペアンプの内部電流も抑制できる。又は、スタンバイ状態の復帰から所定時間（オペアンプの動作安定に必要な時間）後に特定の端子と外部端子（他の論理状態の信号を入力する端子）との間を接続するようにすれば、スピーカからのノイズ発生を防止できるので好ましい。

【0007】

【発明の実施の形態】 以下、本発明の実施例を図面に基づいて説明する。図1及び図2は本発明に係る増幅回路の第1実施例を示す図である。図1において、10はオペアンプであり、このオペアンプ10は、負相入力

（-）と入力端子11との間に入力抵抗12を接続するとともに、負相入力と出力端子13との間にフィードバック抵抗14を接続し、増幅度A（ $A = -R_f/R_s$ ；但し R_s は入力抵抗12の抵抗値、 R_f はフィードバック抵抗14の抵抗値）の公知の反転増幅器を構成している。

【0008】 15はオペアンプ10のパワーダウン端子（発明の要旨に記載の特定の端子に相当；以下「PD端子」と略す）であり、オペアンプ10は、このPD端子15の論理状態がL論理状態（発明の要旨に記載の一の論理状態に相当）になったとき、内部の動作をストップするようになっている。16はPD端子15につながる外部端子であり、この外部端子16には、L論理アクティブの制御信号（例えば、スタンバイ信号）が加えられるとともに、抵抗素子（発明の要旨に記載の抵抗要素に相当）17を介してグラウンド（一の論理状態に相当する電位を有する電圧源）18にプルダウンされている。

【0009】 なお、図では、オペアンプ10の正相入力（+）をグラウンドに接続しているが、これに限らない。任意の基準電圧に接続してもよい。図2は、特に限定しないが、PD端子付きオペアンプの一例を示すその内部構成図である。この図において、20はVB（バイアス）端子、21は負相入力端子、22は正相入力端子、23はPD端子、24は高電位側電源端子（VDD端

子)、25は低電位側電源端子(GND端子)、26は出力端子である。

【0010】VB端子20は第1のpチャネルMOSトランジスタ T_{p1} 及び第2のpチャネルMOSトランジスタ T_{p2} のゲート電極に接続され、負相入力端子21は第3のpチャネルMOSトランジスタ T_{p3} のゲート電極に接続されている。正相入力端子22は第4のpチャネルMOSトランジスタ T_{p4} のゲート電極に接続され、PD端子23は第1のnチャネルMOSトランジスタ T_{N1} のゲート電極に接続されている。VDD端子24は T_{p1} と T_{p2} のソース電極(便宜的に図面上側の電極を言う;以下同様)に接続されるとともに $T_{p1} \sim T_{p4}$ の基板に接続され、GND端子25は T_{N1} 及び第2～第4のnチャネルMOSトランジスタ $T_{N2} \sim T_{N4}$ のドレイン電極及び基板に接続されている。出力端子26は T_{p1} のドレイン電極及び T_{N4} のソース電極並びに位相補償用コンデンサCの一方端子に接続されている。

【0011】 $T_{p1} \sim T_{p4}$ 及び T_{N2} 、 T_{N3} は、負相入力端子21と正相入力端子22との間の電位差を差動増幅する第1増幅段27を構成し、 T_{p2} 、 T_{N4} 及び C_1 は第1増幅段27の出力を位相補償して出力端子27から外部に出力する最終増幅段28を構成する。ここで、 T_{N1} はPD端子23がH論理状態になったときにオンする。 T_{N1} がオンすると、この T_{N1} を通して T_{N4} のゲート電極がGND端子25に接続されるから、 T_{N4} は強制的にオフとなり、オペアンプとしての実質的な動作がストップする。したがって、 T_{N1} はPD端子23に一の論理状態が与えられたときにオペアンプの出力トランジスタとしての T_{N4} をオフにする制御手段としての機能を有している。なお、図2では二つの増幅段構成のオペアンプを示したが、これに限らない。例えば、第2増幅段28の後に第三の増幅段があってもよく、この場合、 T_{N4} を第三の増幅段の出力トランジスタ(図示略)を駆動するトランジスタと考えればよい。

【0012】再び、図1において、制御信号をL論理状態………なお、図2では一の論理状態がH論理状態であり、この論理状態に合わせるには、抵抗素子17をグラウンド18でなくH論理状態に相当する電位を有する電圧源(例えば、VDD)に接続するとともに、制御信号をH論理アクティブにすればよい。………にすると、オペアンプ10の実質的な動作がストップする。このため、出力端子13につながるスピーカ(図5の符号5参照)の電流がゼロになり、さらに、オペアンプ10の内部で消費される電流も抑制される。すなわち、制御信号をアクティブにするだけで、電力消費を大幅に低減できるが、本実施例では、PD端子15を抵抗素子17を介してグラウンド18にプルダウンしたため、例えば、スタンバイ状態からの復帰時に、制御信号の論理確定が遅れた場合でも、PD端子15のプルダウン電位(一の論理状態に相当する電位)によって、オペアンプ10の動作を

ストップでき、スタンバイ復帰時の省電力効果を支障なく得ることができる、という有利な効果が得られる。

【0013】図3及び図4は本発明に係る増幅回路の第2実施例を示す図である。なお、第1実施例と共通の構成要素には同一の符号を付すとともにその説明を省略する。図3において、30はPD端子15(特定の端子)と外部端子16との間の接続をオンオフするスイッチ要素、31は電源投入又はスタンバイ状態の復帰から所定時間経過するまでの間、スイッチ要素30をオフ状態に保持する保持手段である。

【0014】図4は、特に限定しないが、スイッチ要素30及び保持手段31の一例構成図である。この図において、スイッチ要素30はトランスファゲートで構成されており、また、保持手段31は、n個(図では3個)の直列MOSトランジスタ32～34及び1個の抵抗素子35とで構成された電源電圧レベル検知回路36と、偶数個(図では2個)のインバータゲート37、38を直列接続して構成された前段インバータゲート群39と、奇数個(図では3個)のインバータゲート40～42を直列接続して構成された後段インバータゲート群43とを有している。この構成によれば、電源電圧VDDの立ち上がりで電源電圧検知回路36で検知され、その時点からインバータゲート2段分の遅延後に前段インバータ群39の出力がH論理状態になるとともに、さらに、インバータゲート3段分の遅延後に後段インバータ群43の出力がL論理状態になる。したがって、スイッチ要素30は、少なくとも、インバータゲート5段分の遅延時間を経過した後でなければオンしないため、スタンバイ状態の復帰(電源電圧VDDの復帰)から所定時間(図4の構成ではインバータゲート5段分の遅延時間)の間、オペアンプ10のPD端子15にプルダウン電位を与え続けることができ、オペアンプ10の動作をストップさせてスピーカからの異音発生を防止することができる、という有利な効果が得られ。

【0015】なお、図4ではインバータゲートの遅延を利用して所定時間を設定しているが、これに限らない。例えば、クロック信号等の周期信号をカウントしてもよい。要は、オペアンプ10の動作が安定してからスイッチ要素30をオンにできればよい。

【0016】

【発明の効果】本発明によれば、特定の端子を一の論理状態に相当する電位を有する電圧源にプルアップ又はプルダウンしたので、当該特定の端子に他の論理状態の信号を加えない限り、オペアンプの出力トランジスタ(又は該出力トランジスタを駆動するトランジスタ)がオフし続け、その結果、スピーカに流れる電流をゼロにできることに加えて、オペアンプの内部電流も抑制できるといふ効果が得られる。

【0017】又は、スタンバイ状態の復帰から所定時間(オペアンプの動作安定に必要な時間)後に特定の端子

と外部端子（他の論理状態の信号を入力する端子）との間を接続するようにすれば、スピーカからのノイズ発生を防止できるので好ましい。

【図面の簡単な説明】

【図1】第1実施例の構成図である。

【図2】PD（パワーダウン）端子付きオペアンプの一例構成図である。

【図3】第2実施例の構成図である。

【図4】第2実施例のスイッチ要素及び保持手段の一例構成図である。

【図5】従来例の構成図である。

【符号の説明】

T_{N4}：第4のnチャネルMOSトランジスタ（出力トランジスタ）

T_{N1}：第1のnチャネルMOSトランジスタ（制御手段）

10：オペアンプ

15：PD端子（特定の端子）

16：外部端子

17：抵抗素子（抵抗要素）

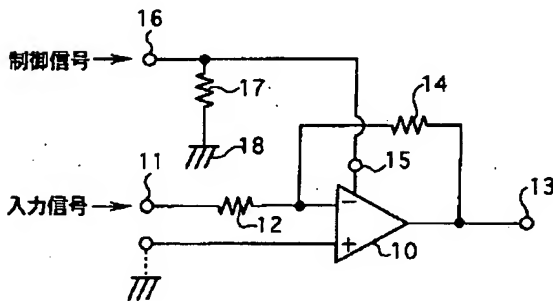
18：グラウンド（電圧源）

30：スイッチ要素

31：保持手段

【図1】

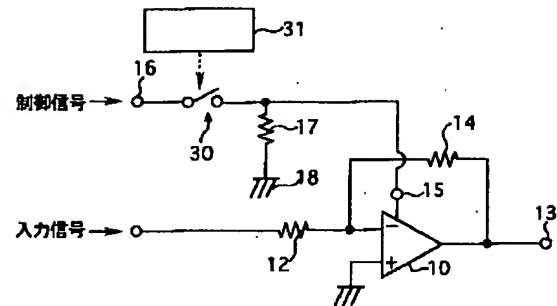
第1実施例の構成図



10：オペアンプ
15：PD端子（特定の端子）
16：外部端子
17：抵抗素子（抵抗要素）
18：グラウンド（電圧源）

【図3】

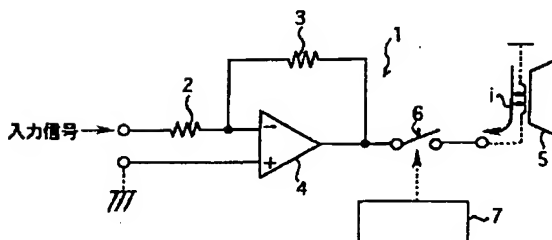
第2実施例の構成図



30：スイッチ要素
31：保持手段

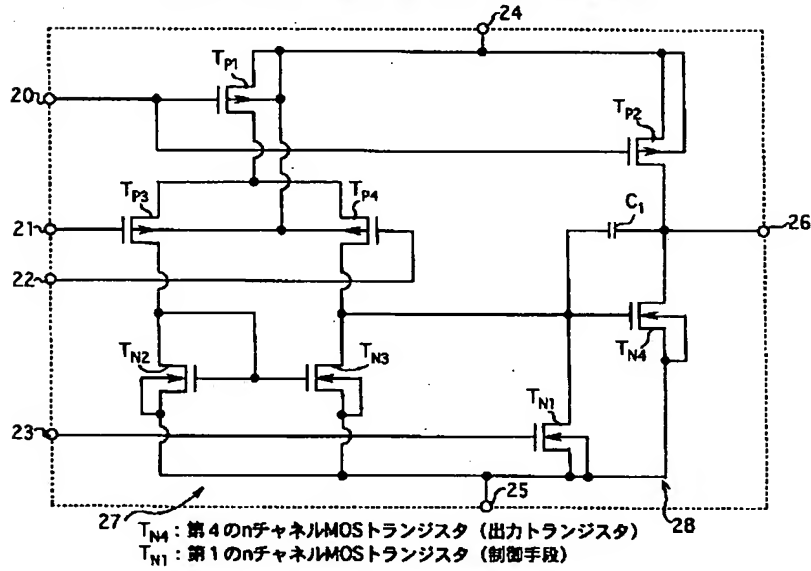
【図5】

従来例の構成図



【図2】

PD(パワーダウン)端子付きオペアンプの一例構成図



【図4】

第2実施例のスイッチ要素及び保持手段の一例構成図

